

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-150323

(43)Date of publication of application : 08.08.1985

(51)Int.Cl.

H03K 19/00
// H03G 5/00

(21)Application number : 59-006146

(71)Applicant : SONY CORP

(22)Date of filing : 17.01.1984

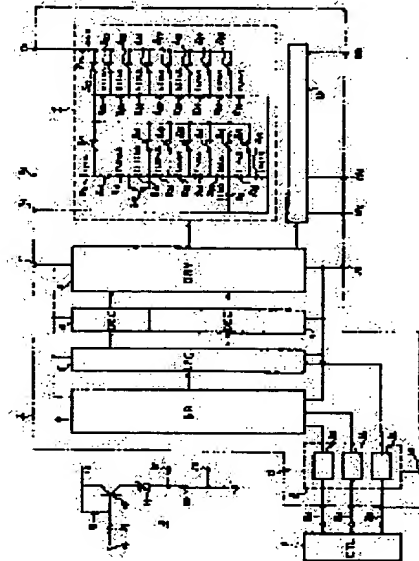
(72)Inventor : SHIMIZU AKIRA
IDE TERUHISA

(54) DIGITAL INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain a digital IC receiving easily an input digital signal by incorporating a level shift circuit shifting the level of a logical value of the input digital signal to a prescribed level even if the level of the logical value of the input digital signal is different from the level of the logical value of the digital signal in the inside of the IC.

CONSTITUTION: A serial signal of 1 word 8 bits obtained from a data signal bus Bd is applied to a shift register 4 via a level shifter 3b and shifted by a clock signal from a clock signal bus Bc obtained via a level shifter 3a. A data signal of 1 word 8 bits stored in the shift register 4 is applied in parallel with a latch circuit 5 and latched by the incoming of a strobe signal obtained via a level shifter 3c. It is considered that a digital signal having 0~5V of logical level is applied to an input terminal 16. When the input voltage of the input terminal 16 is 0V, a transistor 15 is turned on and an output voltage at an output terminal 21 is -10V (=+5-15V).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-150323

⑬ Int. Cl.⁴
H 03 K 19/00
// H 03 G 5/00

識別記号
1 0 1

庁内整理番号
8326-5J
6964-5J

⑭ 公開 昭和60年(1985)8月8日

審査請求 未請求 発明の教 1 (全4頁)

⑮ 発明の名称 デジタルIC

⑯ 特 願 昭59-6146

⑰ 出 願 昭59(1984)1月17日

⑱ 発 明 者 清水 彰 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 井手 輝久 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
㉑ 代 理 人 弁理士 伊藤 貞 外1名

明 細 書

発明の名称 デジタルIC

特許請求の範囲

入力デジタル信号の論理値のレベルを所定レベルにレベルシフトするレベルシフト回路を内蔵することを特徴とするデジタルIC。

発明の詳細な説明

産業上の利用分野

本発明はデジタルICに関する。

背景技術とその問題点

例えば従来のグラフィックイコライザでは、複数のオーディオシグナルプロセッシングIC(以下単にASP-ICと言う)を制御器にて制御するようになし、制御器から各ASP-ICに各別にクロック信号、データ信号及びビストロブ信号をバスを通じて供給するようにしていた。

このASP-ICは、制御器から伝送される並列データ信号及びクロック信号を受けるシフトレジスタ、シフトレジスタからの並列データ信号を制御器からのストロブ信号に基づいてラッチす

るラッチ回路、ラッチ回路の出力を受けてイコライザ回路(帯域別の周波数特性切換回路、レベル調整回路等を含む)のスイッチ群を選択的に切換制御するドライバから構成されている。

この場合、イコライザ回路のスイッチ群の各スイッチはMOS FETから構成されており、ドライバから各MOS FETへそのオンオフ制御のために供給するデジタル信号の論理値の電圧は例えば-15V~-10Vが必要である。

一方制御器から各ASP-ICへ供給される各入力デジタル信号、即ちクロック信号、データ信号及びビストロブ信号の論理値の電圧は例えば0V~5Vであり、IC内のデジタル信号の論理値の電圧-15V~-10Vと大きく異なる。

発明の目的

かかる点に鑑み、本発明は入力デジタル信号の論理値のレベルがIC内部のデジタル信号の論理値のレベルと異なつても、その入力デジタル信号を容易に受入れることのできるデジタルICを提案しようとするものである。

発明の概要

本発明によるデジタルICは、入力デジタル信号の論理値のレベルを所定レベルにレベルシフトするレベルシフト回路を内蔵することを特徴とするものである。

かかる本発明によれば、入力デジタル信号の論理値のレベルがIC内部のデジタル信号の論理値のレベルと異なつても、その入力デジタル信号を容易に受入れることのできるデジタルICを得ることができる。

実施例

以下に第1図を参照して、本発明をASP-ICに適用した一実施例を説明する。本実施例においては、制御器(1)に対し、例えば8個のASP-ICが設けられ、(2)はその一つのASP-ICを示す。制御器(1)からのクロック信号用バスBc、データ信号用バスBd及びストロブ信号用バスBsがIC(2)に接続されている。

IC(2)において、(4)はシフトレジスタである。このシフトレジスタ(4)は制御器(1)からのクロック

信号用バスBc及びデータ信号用バスBdに夫々レベルシフタ(3a)、(3b)を介して接続されている。この場合データ信号の1ワードとしては例えば8ビットの信号が用いられ、その内2ビットが左右音声信号の判別用に、他の6ビットが後述のイコライザ回路00のスイッチ制御用に夫々割り当てられている。

データ信号用バスBdより得られた1ワード8ビットの直列信号は、レベルシフタ(3b)を介してシフトレジスタ(4)に供給され、レベルシフタ(3a)を介して得られたクロック信号用バスBcよりのクロック信号によつてシフトされる。このシフトレジスタ(4)に蓄積された1ワード8ビットのデータ信号はラッチ回路(5)に並列的に供給され、レベルシフタ(3c)を介して得られたストロブ信号の到来によつてラッチされる。ラッチ回路(5)にラッチされた上述の夫々2ビット及び6ビットのデータ信号は夫々デコーダ(6)、(7)に供給される。そして、その各デコード出力がドライバ(8)に供給される。(9)、00は左チャンネル及び右チャンネル用の同一

構成のイコライザ回路としての例えばレベル調整回路である。 S_{10} 、 $S_{10} \sim S_{17}$ 、 $S_{21} \sim S_{28}$ はそのイコライザ回路(9)、00の切り換えを行なうスイッチである。そしてこれらスイッチはドライバ(8)よりの出力によつて選択的にオンオフ制御せしめられる。この場合、イコライザ回路00はこれらスイッチによつて左右チャンネル別又は同時に切り換えられる。

次に左及び右チャンネル用イコライザ回路(レベル調整回路)(9)、00の具体構成例を回路(9)を代表して説明する。レベル調整回路(9)に於いて、(9a)、(9b)及び(9c)は左オーディオ信号の夫々入力、出力及び共通(接地)端子である。 R_0 は共通抵抗器で、この抵抗器 R_0 に抵抗器 $R_{11} \sim R_{19}$ 、 $R_{21} \sim R_{29}$ がスイッチ S_{10} 、 $S_{10} \sim S_{17}$ 、 $S_{21} \sim S_{28}$ の切換により選択的に接続されて、入力端子(9a)及び共通端子(9c)間に供給された入力オーディオ信号電圧が任意の分圧比を以つて分圧されて、出力端子(9b)及び共通端子(9c)間に出力される。スイッチ S_{11} をオン、又はスイッチ S_{10} をオン、

スイッチ S_{11} をオフにした状態でスイッチ $S_{12} \sim S_{17}$ のうちの一つを選択的にオンにすることにより、分圧比を8dBステップで変更することができる。尚、スイッチ S_{12} がオンのときのみスイッチ S_{10} をオンにして、分圧比の補正を行なう。又、スイッチ $S_{21} \sim S_{28}$ のうちの一つを選択的にオンにすることにより、分圧比を1dBステップで変更することができる。

尚、右チャンネルのレベル調整回路00に於いて、(10a)、(10b)及び(10c)は右オーディオ信号の夫々入力、出力及び共通端子である。

00は+15Vの直流電圧入力端子、02は-15Vの直流電圧入力端子で、夫々シフトレジスタ(4)、ラッチ回路(5)、デコーダ(6)、(7)及びドライバ(8)に共通に接続されており、この各回路に於けるデジタル信号の論理値レベルは-15V~-10V、即ち低レベルが-15V、高レベルが-10Vである。

又、制御器(1)からのクロック信号、データ信号及びストロブ信号の論理値レベルは0V~5V、

即ち低レベルが0 V、高レベルが5 Vである。そこで、これらクロック信号、データ信号及びストローブ信号をレベルシフタ(3)〔(3a),(3b),(3c)〕に供給して、論理値レベルを0 V～5 Vから-15 V～-10 Vにレベルシフトする。03, 04は夫々+5 V, -15 Vの直流電圧の供給される入力端子で、これら端子03, 04はレベルシフタ(3)に接続されている。

尚、レベルシフタ(3)〔(3a),(3b),(3c)〕の具体回路は従来から種々提案されているが、その一例を第2図について説明する。pnp形トランジスタ05が設けられ、そのエミッタが電源+B(+5 V)に直接接続されると共に、抵抗器06を介してそのベースに接続される。入力端子03が抵抗器06を介してトランジスタ05のベースに接続される。トランジスタ05のコレクタが定電圧素子、即ちツェナーダイ(ツェナー電圧が15 V)09のカソードに接続され、そのアノードが抵抗器07を通じて電源-B(-15 V)に接続される。そして、抵抗器07の両端から出力端子02, 02aが導出される。

かかるレベルシフタ(3)に於いて、入力端子03に論理値レベルが0 V～5 Vのデジタル信号が供給される場合を考える。入力端子03の入力電圧が0 Vのときは、トランジスタ05がオンとなり、出力端子02の出力電圧は $+5 - 15 = -10$ (V)となる。又、入力端子03の入力電圧が5 Vのときは、トランジスタ05がオフとなり、出力端子02の出力電圧は-15 Vとなる。

この第2図のレベルシフタ(3)の場合は、入力端子03に供給されるデジタル信号はその論理値レベルがその高及び低レベルに於いてトランジスタ05をオン及びオフする電圧であれば良く、その電圧差も任意である。

しかし、レベルシフタ(3)に入力し得るデジタル信号の論理値レベル及びそのレベル差は、レベルシフタ(3)の回路構成の如何によつて夫々制限される。

尚、ICの構成、レベルシフタの構成はいずれも上述の実施例に限られるものではない。

上述せる本発明によれば、入力デジタル信号の

論理値のレベルがIC内部のデジタル信号の論理値のレベルと異なつても、その入力デジタル信号を容易に受入れることのできるデジタルICを得ることができる。尚、レベルシフト回路はIC(1チップIC)内に一体に形成するものであるから、構成上の複雑さは生じない。

発明の効果

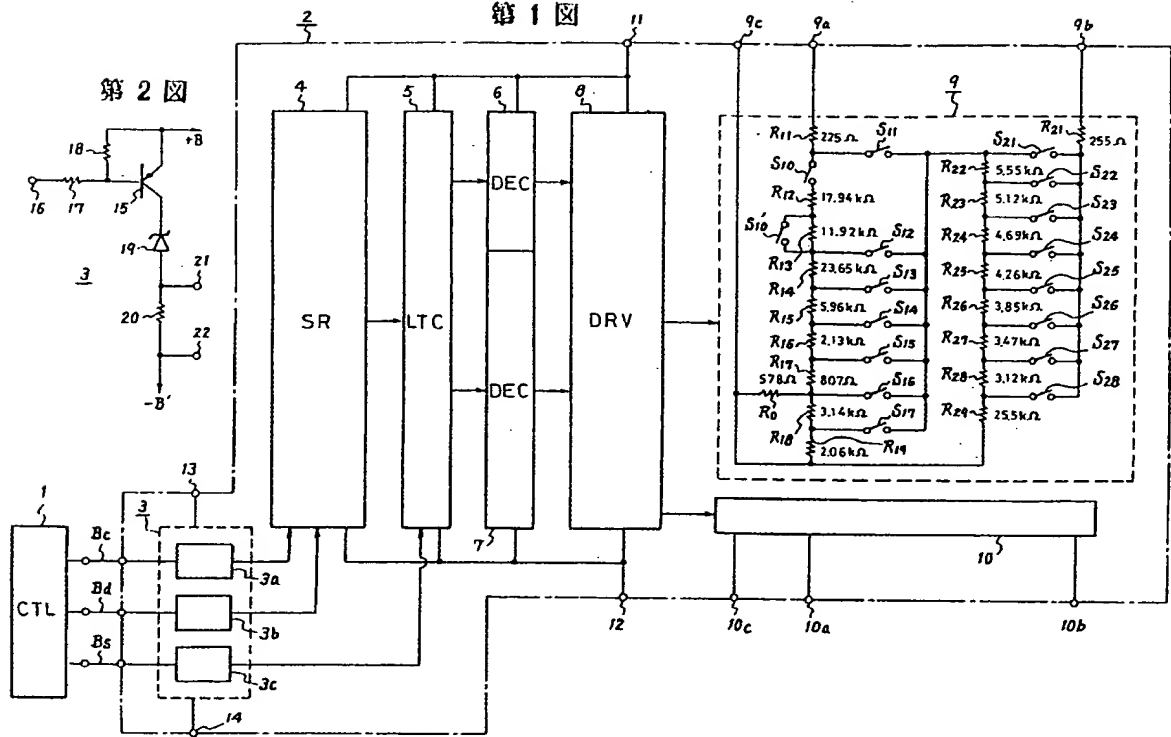
上述せる本発明によれば、入力デジタル信号の論理値のレベルがIC内部のデジタル信号の論理値のレベルと異なつても、その入力デジタル信号を容易に受入れることのできるデジタルICを得ることができる。尚、レベルシフト回路はIC(1チップIC)内に一体に形成するものであるから、構成上の複雑さは生じない。

図面の簡単な説明

第1図は本発明の一実施例を示すブロック線図、第2図はその一部の回路の具体構成を示す回路である。

(2)はIC、(3)〔(3a),(3b),(3c)〕はレベルシフタである。

第1図



第2図

